

Searching PAJ

第1頁，共1頁

Cite No. 5.

(5) **PATENT ABSTRACTS OF JAPAN**

(11)Publication number : 2000-091628

(43)Date of publication of application : 31.03.2000

(51)Int.Cl.

H01L 33/00

(21)Application number : 10-255759

(71)Applicant : MURATA MFG CO LTD

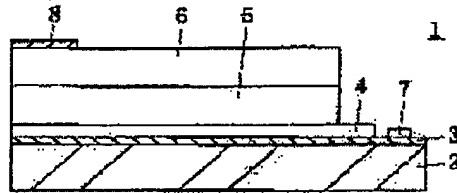
(22)Date of filing : 09.09.1998

(72)Inventor : KADOTA MICHIO

(54) SEMICONDUCTOR LIGHT EMITTING ELEMENT**(57)Abstract:**

PROBLEM TO BE SOLVED: To manufacture an inexpensive $In_xGa_{1-x}Al_zN$ semiconductor light emitting element by forming the semiconductor light emitting element on a ceramic substrate.

SOLUTION: A metallic film 3 is formed on the surface of the ceramic (porcelain sintered body) substrate 2 made of alumina, SiC/BeO or the like, and a ZnO film 4 is formed in an area except one part of the metallic film 3, and the ZnO film 4 is oriented in the (C) axis. Then a p-type GaN layer 5 and n-type GaN layer 6 are epitaxially grown on the ZnO film 4. Afterwards, a lower electrode pad 7 is formed on the partially exposed area of the metallic part 3, and an upper electrode 8 is partially formed on the upper face of the n-type GaN layer 6.

**LEGAL STATUS**

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

BEST AVAILABLE COPY

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2000-91628

(P2000-91628A)

(43)公開日 平成12年3月31日 (2000.3.31)

(51)Int.Cl.
H 01 L 33/00

識別記号

P I
H 01 L 33/00マークコード(参考)
C 5 F 0 4 1

審査請求 未請求 請求項の数7 OL (全5頁)

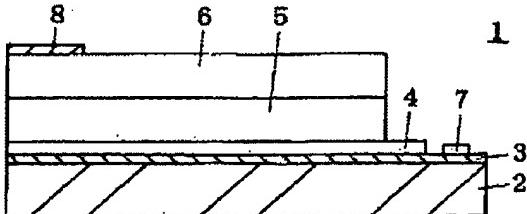
(21)出願番号 特願平10-255759
 (22)出願日 平成10年9月9日 (1998.9.9)

(71)出願人 000006231
 株式会社村田製作所
 京都府長岡京市天神二丁目26番10号
 (72)発明者 門田 道雄
 京都府長岡京市天神二丁目26番10号 株式
 会社村田製作所内
 (74)代理人 100094019
 弁理士 中野 雅房
 Fターム(参考) SF041 AA31 AA40 CA02 CA04 CA12
 CA13 CA14 CA34 CA40 CA67
 CA82 CA92 CA98 DA07 FF01

(54)【発明の名称】半導体発光素子

(57)【要約】

【課題】セラミック基板の上にInxGaNAlzN系の半導体発光素子を形成することにより、安価なInxGaNAlzN系半導体発光素子を作製可能にする。
 【解決手段】アルミナ、SiC・BeO等のセラミック(磁器焼結体)基板2の表面に金属膜3を形成し、金属膜3の上の一部を除く領域にZnO膜4を形成してZnO膜4をc軸配向させる。ついで、ZnO膜4の上にp型GaN層5とn型GaN層6をエピタキシャル成長させる。この後、金属膜3の一部露出した領域の上に下部電極バッド7を設け、n型GaN層6の上面に部分的に上部電極8を形成する。



(2)

特開2000-91628

2

1

【特許請求の範囲】

【請求項1】 セラミック基板上にc軸配向したZnO膜を形成し、このZnO膜の上に $In_xGa_yAl_zN$ （ただし、 $x+y+z=1$ 、 $0 \leq x \leq 1$ 、 $0 \leq y \leq 1$ 、 $0 \leq z \leq 1$ ）で表わされる化合物半導体層を形成したことを特徴とする半導体発光素子。

【請求項2】 前記セラミック基板の熱膨張係数は、前記ZnO膜上の $In_xGa_yAl_zN$ 層の熱膨張係数の±5.0%以内にあることを特徴とする、請求項1に記載の半導体発光素子。

【請求項3】 前記セラミック基板と前記ZnO膜との間に金属膜が形成されていることを特徴とする、請求項1又は2に記載の半導体発光素子。

【請求項4】 前記セラミック基板にスルーホール又はバイアホールを設け、当該スルーホール又はバイアホールにより前記セラミック基板上の金属膜をセラミック基板裏面に導通させたことを特徴とする、請求項3に記載の半導体発光素子。

【請求項5】 前記セラミック基板として透明なセラミック基板を用い、前記金属膜として透明電極膜を用いていることを特徴とする、請求項3に記載の半導体発光素子。

【請求項6】 前記セラミック基板として、導電性を有するセラミック基板を用いていることを特徴とする、請求項1又は2に記載の半導体発光素子。

【請求項7】 前記ZnO膜は、低抵抗であることを特徴とする、請求項1又は2に記載の半導体発光素子。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は半導体発光素子に関する。特に、 $In_xGa_yAl_zN$ （III族窒化物半導体結晶）を用いた半導体発光素子に関する。

【0002】

【従来の技術】 青色光ないし紫外線を発生する発光ダイオード(LED)やレーザーダイオード(LD)等の半導体発光素子の材料としては、一般式 $In_xGa_yAl_zN$ （ただし、 $x+y+z=1$ 、 $0 \leq x \leq 1$ 、 $0 \leq y \leq 1$ 、 $0 \leq z \leq 1$ ）で表わされるIII-V族化合物半導体が知られている。この化合物半導体は、直接遷移型であることから発光効率が高く、また、In濃度によって発光波長を制御できることから、発光素子用材料として注目されている。

【0003】 この $In_xGa_yAl_zN$ は大型の単結晶を作製することが困難であるため、その結晶膜の製作にあたっては、異なる材料の基板上に成長させる、いわゆるヘテロエピタキシャル成長法が用いられており、一般にはC面サファイア基板の上で成長させられている。しかし、C面サファイア基板は高価であり、そのうえ大きな格子不整合があり（例えば、GaNとの格子不整合は、16.1%にもなる。）、成長した結晶中には転移密度

10

$10^7 / cm^2 \sim 10^8 / cm^2$ という多数の結晶欠陥が生じてしまい、結晶性に優れた良質の結晶膜を得ることができないという問題があった。

【0004】 そこで、C面サファイア基板上に $In_xGa_yAl_zN$ を成長させる際の格子不整合を小さくし、欠陥の少ない結晶を得るために、C面サファイア基板の上に多結晶又は非晶質のAlNバッファ層や低温成長GaNバッファ層を設ける方法が提案されている。この方法によれば、C面サファイア基板とバッファ層の間の格子不整合が小さくなると共にバッファ層と $In_xGa_yAl_zN$ の格子不整合も小さくなるので、欠陥の少ない結晶膜を得ることができる。しかし、この方法では、高価なC面サファイア基板に加え、構造が複雑になることから一層のコスト高になるという問題があった。

【0005】 また、基板としてSiC基板も検討されており、SiC基板では格子不整合が小さい（例えば、GaNとの格子不整合は3.5%である）。しかし、SiC基板は、C面サファイア基板と比較してもかなり高価につく（C面サファイア基板の価格の10倍程度）という欠点があった。

【0006】

【発明が解決しようとする課題】 本発明は上述の技術的問題点を解決するためになされたものであり、その目的とするところは、セラミック基板の上に $In_xGa_yAl_zN$ 系の半導体発光素子を形成することにより、安価な $In_xGa_yAl_zN$ 系半導体発光素子を作製できるようにすることにある。

【0007】

【発明の概要】 本発明の半導体発光素子は、セラミック基板上にc軸配向したZnO膜を形成し、このZnO膜の上に $In_xGa_yAl_zN$ （ただし、 $x+y+z=1$ 、 $0 \leq x \leq 1$ 、 $0 \leq y \leq 1$ 、 $0 \leq z \leq 1$ ）で表わされる化合物半導体層を形成したことを特徴としている。

【0008】 本発明でいうセラミックとは、磁器焼結体で結晶性を有しない（あるいは、多結晶の）ものであつて、サファイア（ Al_2O_3 ）等の単結晶を含まないものである。すなわち、本発明のセラミック基板は、非単結晶性セラミック基板である。

【0009】 本発明の半導体発光素子は、このようなセラミック基板の上に半導体層を形成しているので、安価な基板を用いることができ、青色～紫外線の領域の光を発生する半導体発光素子を安価に製造することができる。

【0010】 しかも、ZnO膜のa軸方向の格子定数は $In_xGa_yAl_zN$ のa軸方向の格子定数に近いので、セラミック基板を用いているにもかかわらず、セラミック基板のうえにc軸配向したZnO膜を形成することにより、ZnO膜の上に $In_xGa_yAl_zN$ 系の化合物半導体層をエピタキシャル成長させることができる。

【0011】 基板としてセラミック基板を用いた場合

50

(3)

特開2000-91628

3

に、セラミック基板と $In_xGa_{1-x}N$ 層の熱膨張係数差が大きい場合には、温度変化によってセラミック基板と $In_xGa_{1-x}N$ 層との間に内部応力(熱応力)が発生するので、これが大きいとセラミック基板と $In_xGa_{1-x}N$ 層との間に剥離が発生する恐れがある。従って、本発明のセラミック基板の熱膨張係数は、 ZnO 膜上に形成された $In_xGa_{1-x}N$ 層の熱膨張係数の±50%以内にであることが好ましい。

【0012】また、上記セラミック基板としては、700°C以上の耐熱温度を有するものや、比誘電率が40以下のものを用いるのが望ましい。前者の理由としては、 $In_xGa_{1-x}N$ 層の成膜時の高温に耐える必要があるためである。また、後者の理由としては、あまり誘電率が高くなると、上部電極と下部電極の間に電流が流れにくくなるためである。

【0013】本発明の半導体発光素子においては、セラミック基板と ZnO 膜との間に金属膜を形成してもよい。セラミック基板と ZnO 膜の間に金属膜を形成すれば、絶縁性のセラミック基板を用いている場合でも、この金属膜を発光素子の下部電極として用いることができる。よって、発光素子の電極構造を簡単にすることができます。

【0014】さらに、セラミック基板にスルーホール又はバイアホールを設け、当該スルーホール又はバイアホールによりセラミック基板上の金属膜をセラミック基板裏面に導通させれば、下部電極となる金属膜を半導体発光素子の下面へ引き出すことができ、実装時には金属膜を基板やヒートシンク等にダイボンドすることができる。

【0015】また、基板として透明なセラミック基板を用い、金属膜として透明電極膜を用いれば、発光素子で発生した光を基板と反対側だけでなく、基板側にも取り出すことができ、両面発光型の発光素子を作成することができます。

【0016】また、導電性を有するセラミック基板を用いれば、一般的な発光素子構造と同様、セラミック基板下面に直接に下部電極を設けることができるので、半導体発光素子の構造を簡単にすることができます。

【0017】また、低抵抗の ZnO 膜を用いても、 ZnO 膜を電極として用いることができ、半導体発光素子の構造を簡単にすることができる。

【0018】

【発明の実施の形態】(第1の実施形態) 図1は本発明の一実施形態による半導体発光素子1を示す断面図であって、発光ダイオードや面発光型レーザーダイオード等の面発光型の発光素子1を表わしている。この半導体発光素子1にあっては、アルミナ、 $SiC \cdot BeO$ 、 AlN 、 $3Al_2O_3 \cdot 2SiO_2$ 、 $ZrO_2 \cdot SiO_2$ 、ペリリア、ガラスセラミック等の非結晶性の〔つまり、結晶性を有しないか、多結晶の〕セラミック(耐熱焼結体)

4

からなるセラミック基板2の表面に Al や Alu 等の金属膜3を形成し、金属膜3の上の一部を除く領域に ZnO 膜4を形成して ZnO 膜4をc軸配向させている。ここで、 ZnO 膜4は低抵抗のものが望ましい。ついで、 ZnO 膜4をバッファ層として、その上にp型 GaN 層5とn型 GaN 層6をエピタキシャル成長させる。この後、金属膜3の一端露出した領域の上に下部電極パッド7を設け、n型 GaN 層6の上面に部分的に上部電極8を形成する。

【0019】しかして、上部電極8と下部電極パッド7の間に電圧を印加すると、上部電極8からp型 GaN 層5とn型 GaN 層6に電流が注入されて発光し、その界面から出た光はn型 GaN 層6の上面の上部電極8が設けられていない領域から外部へ射出される。

【0020】このように発光素子1の基板としてアルミニウム等のセラミック基板2を用いれば、発光素子1の基板コストを安値にすることができます。しかも、セラミック基板2を用いていても、セラミック基板2の上方にc軸配向した ZnO 膜4を形成することにより、その上に結晶性の良好なp型 GaN 層5やn型 GaN 層6をエピタキシャル成長させることができる。また、セラミック基板2と ZnO 膜4の間に金属膜3を形成しているので、この金属膜3を下部電極として用い、上部電極8と金属膜3の間に電圧を印加することができ、発光素子1の電極構造も簡単にすることができる。

【0021】もっとも、セラミック基板2と GaN 層5、6の熱膨張係数の違いにより大きな内部応力が発生したり、それによって剥離したりするのを防止するためには、セラミック基板2の熱膨張係数は GaN 層5、6の熱膨張係数の±0.5倍、つまり0.5倍~1.5倍が望ましい。すなわち、 GaN 層5、6の熱膨張係数が $5.59 \times 10^{-6} / ^\circ C$ であるとすると、セラミック基板2の熱膨張係数は、 $2.795 \times 10^{-6} / ^\circ C \sim 8.385 \times 10^{-6} / ^\circ C$ とすればよい。また、セラミック基板2は、耐熱温度が700°C以上、比誘電率が40以下のものが望ましい。

【0022】(第2の実施形態) 図2は本発明の別な実施形態による面発光型の半導体発光素子11を示す断面図である。この半導体発光素子11にあっては、アルミニウム、 $SiC \cdot BeO$ 、 AlN 、 $3Al_2O_3 \cdot 2SiO_2$ 、 $ZrO_2 \cdot SiO_2$ 、ペリリア、ガラスセラミック等の非結晶性のセラミック(耐熱焼結体)からなるセラミック基板2の一部領域の表面に Al や Alu 等の金属膜3を形成し、金属膜3の上に ZnO 膜4をc軸配向させている。ここで、 ZnO 膜4は低抵抗のものが望ましい。ついで、 ZnO 膜4をバッファ層として、その上にp型 GaN 層5とn型 GaN 層6をエピタキシャル成長させる。

【0023】一方、金属膜3の下面においてセラミック基板2には予めスルーホール又はバイアホール12が形

(4)

特開2000-91628

5

成されており、スルーホール又はバイアホール12を介して金属膜3をセラミック基板2の下面(もしくは、セラミック基板2の下面に設けられた電極パッド)に導通させている。また、n型GaN層6の上面に部分的に上部電極8を形成する。

【0024】第1の実施形態では、セラミック基板2の下面をダイボンド等によって回路基板等に固定した後、下部電極パッド7と回路基板のパッド部とをワイヤボンディングする必要があるが、この実施形態では、発光素子11を回路基板等にダイボンドすることによって発光素子11を固定すると同時に下部電極(金属膜3)の電気的接続も行なうことができ、発光素子の実装形態を簡略にすることができる。なお、セラミック基板2の空き部分には、他の微小な電子部品を実装してもよい。

【0025】(第3の実施形態)図3は本発明のさらに別な実施形態による面発光型の半導体発光素子13を示す断面図である。この半導体発光素子13にあっては、非結晶性のセラミック(磁器焼結体)からなるセラミック基板2の上面、側面及び下面の一部領域にP_tやAu等の金属膜3を形成し、金属膜3の上面にZnO膜4をc軸配向させている。ここでも、ZnO膜4は低抵抗のものが望ましい。ついで、ZnO膜4をバッファ層として、その上にp型GaN層5とn型GaN層6をエピタキシャル成長させ、n型GaN層6の上に上部電極8を形成する。

【0026】この実施形態では、金属膜3をセラミック基板2の側面を経て下面まで延長してセラミック基板2の下面に接続パッド部14を設けているので、この発光素子を回路基板等に実装し、セラミック基板2の下面の接続パッド部14を回路基板のパッド部等にダイボンドすることで、下部電極である金属膜3の電気的接続を行なえ、発光素子の実装形態を簡略にすることができる。

【0027】(第4の実施形態)図4は本発明のさらに別な実施形態による面発光型の半導体発光素子15を示す断面図である。この実施形態では、例えば第1の実施形態で説明した発光素子において、セラミック基板2を透光性Al₂O₃のような透明なセラミック材料によって形成している。また、金属膜3もITO膜のような透明電極によって形成している。

【0028】従って、p型GaN層5とn型GaN層6の間で発生した光は、図4に示すように、セラミック基板2の上面と下面から外部へ射出され、面面発光型の発光素子を実現することができる。

【0029】(第5の実施形態)図5は本発明のさらに別な実施形態による面発光型の半導体発光素子16を示す断面図である。この半導体発光素子16にあっては、非結晶性のセラミック(磁器焼結体)からなるセラミック基板2の上に低抵抗のZnO膜4をc軸配向させ、ZnO膜4をバッファ層として、その上にn型GaN層6とp型GaN層5をエピタキシャル成長させている。

6

【0030】ここで、ZnO膜4を低抵抗化するために、II族又はV族の不純物元素をドープすればよい。例えば、II族元素としては、B、Al、Ga、In、Tl、Sc、Y、La、Acなどをドープすることができ、V族元素では、P、As、Sb、Bi、V、Nb、Taなどをドープすることができる。不純物をドープする方法としては、ZnO膜4を成膜するためのターゲットに不純物をドープしておいてもよい。

【0031】そして、ZnO膜4の上に下部電極パッド7を形成し、p型GaN層5の上に上部電極8を形成する。この上部電極8と下部電極パッド7に電圧を印加すると、低抵抗のZnO膜4を通してn型GaN層6とp型GaN層5に電圧が印加され、n型GaN層6とp型GaN層5の界面で光が発生する。

【0032】この実施形態では、低抵抗のZnO膜4に、GaN層6、5を成長させるためのバッファ層の機能と同時に下部電極の機能を持たせているので、下部電極として用いていた金属膜を不要にすることができます、発光素子16の構造を簡略にすることができる。

【0033】(第6の実施形態)図6は本発明のさらに別な実施形態による面発光型の半導体発光素子17を示す断面図である。この半導体発光素子17にあっては、導電性を有する非結晶性のセラミック(磁器焼結体)からなるセラミック基板2の上にZnO膜4をc軸配向させ、ZnO膜4をバッファ層として、その上にp型GaN層5とn型GaN層6をエピタキシャル成長させていく。このZnO膜4も低抵抗のものが好ましい。

【0034】そして、セラミック基板2の下面(もしくは、セラミック基板2の上面の露出領域でもよい)に下部電極18を形成し、n型GaN層6の上に上部電極8を形成する。この上部電極8と下部電極18に電圧を印加すると、セラミック基板2を通じてp型GaN層5とn型GaN層6に電圧が印加され、p型GaN層5とn型GaN層6の界面で光が発生する。

【0035】この実施形態では、導電性を有するセラミック基板2を用いているので、一般的な構造のLEDのように、基板下面に下部電極18を設けることができ、発光素子17の構造を簡略にすることができる。

【0036】なお、上記実施形態では、p型GaN層5とn型GaN層6によって発光部を構成しているが、InGaN、GaAlN、InGaAlN等を用いてもよい。また、In_xGa_yAl_zN系の半導体層によって構成されたダブルヘテロ構造を有する発光素子に本発明を適用してもよい。さらに、上記各実施形態では、面発光型の実施形態を説明したが、レーザーダイオードや端面出射型の発光ダイオード等の端面出射型の半導体発光素子にも本発明を適用することもできる。

【図面の簡単な説明】

【図1】本発明の一実施形態による半導体発光素子の構造を示す断面図である。

(5)

特開2000-91628

8

【図2】本発明の別な実施形態による半導体発光素子の構造を示す断面図である。

【図3】本発明のさらに別な実施形態による半導体発光素子の構造を示す断面図である。

【図4】本発明のさらに別な実施形態による半導体発光素子の構造を示す断面図である。

【図5】本発明のさらに別な実施形態による半導体発光素子の構造を示す断面図である。

【図6】本発明のさらに別な実施形態による半導体発光素子の構造を示す断面図である。

*10

* 【符号の説明】

2 セラミック基板

3 金属膜

4 ZnO膜

5 p型GaN層

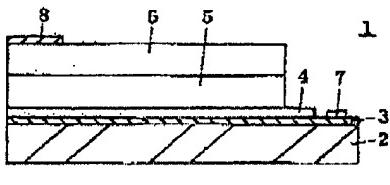
6 n型GaN層

7 下部電極パッド

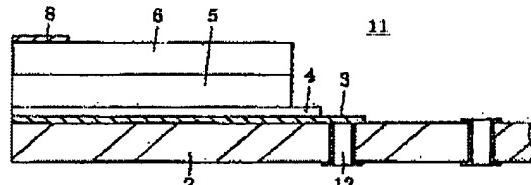
8 上部電極

18 下部電極

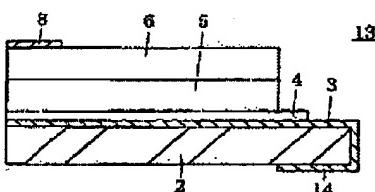
【図1】



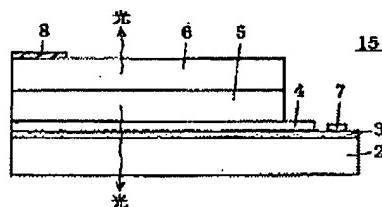
【図2】



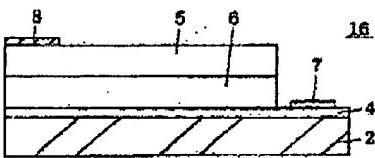
【図3】



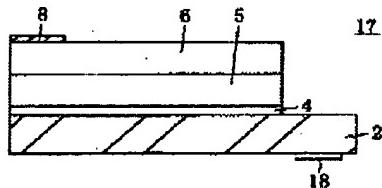
【図4】



【図5】



【図6】



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record.**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS**
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- FADED TEXT OR DRAWING**
- BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- SKEWED/SLANTED IMAGES**
- COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- GRAY SCALE DOCUMENTS**
- LINES OR MARKS ON ORIGINAL DOCUMENT**
- REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.